



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE CIÊNCIAS EXATAS
Departamento de Informática

Ficha 2 (variável)

Disciplina: Arquitetura de Computadores						Código: CI1212	
Natureza: (X) Obrigatória () Optativa			(X) Semestral () Anual () Modular				
Pré-requisito: CI1210		Co-requisito:		Modalidade: (X) Presencial () Totalmente EAD () CH em EAD: _____			
CH Total: 60 CH Semanal: 4	Padrão (PD): 40	Laboratório (LB): 20	Campo (CP):	Estágio (ES):	Orientada (OR):	Prática Específica (PE):	Estágio de Formação Pedagógica (EFP):
EMENTA							
Aritmética de inteiros e ponto flutuante, avaliação de desempenho, processador pipeline, sistemas de memória, memória cache, memória virtual, arquiteturas de alto desempenho. Gasto energético e meio ambiente.							
PROGRAMA							
Introdução Aritmética de inteiros e ponto flutuante MIPs monociclo: organização MIPs monociclo: controle MIPs monociclo: excessões MIPs monociclo: desempenho Pipeline MIPS pipeline: caminho de dados, conflitos MIPS pipeline: controle, excessões MIPS pipeline: desempenho Pipeline superescalar							

Hierarquia de memória, tipos de memória (DDR, DDR2, DDR3, DDR4, SSD, entre outros)

Memória cache, formas de organização, desempenho

Memória virtual, formas de organização, desempenho

Periféricos, barramentos, entrada/saída

OBJETIVO GERAL

Capacitar a(o) aluna(o) a analisar, conceber, projetar e implementar a nível lógico Sistemas Digitais de média complexidade, envolvendo conceitos avançados (Processadores com pipeline, memórias cache e virtual) que permitem obtenção de maior desempenho de sistemas computacionais, dentro de soluções de compromisso entre características e recursos utilizados.

OBJETIVO ESPECÍFICO

Dominar conceitos de aritmética de inteiros e ponto flutuante com sua implementação em hardware, avaliação de desempenho de sistemas, métricas, benchmarks, projeto de processador pipeline, incluindo gestão de conflitos na execução de partes de instruções em paralelo e unidade de controle, projeto e avaliação de sistemas de memória cache e virtual. Entender reflexo das decisões de implementação da arquitetura no software e vice-versa. Implementar processador pipeline em VHDL com controle de conflitos.

PROCEDIMENTOS DIDÁTICOS

Aulas expositivas, discussão em aula, aulas em laboratório, trabalho de implementação de um sistema em VHDL, acompanhamento por monitor(a).

FORMAS DE AVALIAÇÃO

Duas avaliações escritas, avaliação das atividades em laboratório, avaliação do trabalho semestral.

BIBLIOGRAFIA BÁSICA (mínimo 03 títulos)

David A. Patterson e John L. Hennessy. Arquitetura de computadores: uma abordagem quantitativa. Rio de Janeiro (RJ): Elsevier, c2014., 2014. ISBN: 978-85-352-6122-6.

David A. Patterson e John L. Hennessy. Organização e projeto de computadores : a interface hardware/software. Rio de Janeiro : Elsevier : Campus 2014., 2014. ISBN: 9788535235852.

Roberto A. Hexsel. Sistemas digitais e microprocessadores. Didática: n.77. Curitiba: Ed. UFPR, 2012., 2012.

BIBLIOGRAFIA COMPLEMENTAR (mínimo 05 títulos)

Mohammed Ferdjallah. Introduction to Digital Systems : Modeling, Synthesis, and Simulation Using VHDL. Wiley, 2011. ISBN: 9780470900550.

Volnei A. Pedroni. Eletrônica digital moderna e VHD. Rio de Janeiro; Elsevier, c2010., 2008. ISBN: 9788535234657.

Peter J. Ashenden. Digital Design (VHDL) : An Embedded Systems Approach Using VHDL. Morgan Kaufmann, 2008. ISBN: 9780123695284.

David Money Harris e Sarah L. Harris. Digital Design and Computer Architecture. Morgan Kaufmann, 2007. ISBN: 9780123704979.

William Stallings. Arquitetura e organização de computadores. São Paulo: Pearson, 2010., 2010. ISBN: 9788576055648.

**OBS: ao assinalar a opção CH em EAD, indicar a carga horária que será à distância.*



Documento assinado eletronicamente por **EDUARDO TODT, PROFESSOR DO MAGISTERIO SUPERIOR**, em 14/03/2019, às 10:21, conforme art. 1º, III, "b", da Lei 11.419/2006.



A autenticidade do documento pode ser conferida [aqui](#) informando o código verificador **1332650** e o código CRC **2E197FE3**.
