



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE CIÊNCIAS EXATAS
Departamento de Informática

Ficha 2 (variável)

Disciplina: Arquiteturas de Alto Desempenho						Código: CI1086					
Natureza:			(x) Semestral					() Anual		() Modular	
() Obrigatória			(x) Optativa								
Pré-requisito: CI1055 / CI1068 / CI1003 / CMA111 / CM304 / CI1056 / CI1210 / CI1001 / CMA211 / CM303 / CI1057 / CI1212 / CI1002 / CI1237 / CE009 /			Co-requisito:			Modalidade: (x) Presencial () Totalmente EAD () CH em EAD: _____					
CH Total: 60	Padrão (PD): 35	Laboratório (LB): 25	Campo (CP): 0	Estágio (ES): 0	Orientada (OR): 0	Prática Específica (PE): 0	Estágio de Formação Pedagógica (EFP): 0				
CH Semanal: 4											
EMENTA											
Introdução a arquiteturas de alto desempenho. Microarquiteturas avançadas de processadores. Hierarquia de memórias cache. Sistemas de memória RAM.											
PROGRAMA											
<ol style="list-style-type: none"> 1. Revisão de arquiteturas pipeline. 2. Pipeline superescalar. 3. Pipeline superescalar com execução fora de ordem. 4. Estágios de busca e decodificação. 5. Estágios de renomeação, despacho, execução. 6. Preditores de saltos. 7. Memórias cache de alto desempenho 8. Pré-buscadores de dados. 9. Gerenciamento e tecnologias de memória RAM. 10. Interconexões de baixa contenção. 											

OBJETIVO GERAL

Introduzir técnicas modernas para arquiteturas de alto desempenho, analisando o processador desde a busca até o término da instrução. Apresentar melhorias na hierarquia de memória cache, interconexões e memórias que possibilitem maior vazão de dados. Incentivar o raciocínio crítico dos alunos a cerca do desempenho e eficiência energética das diversas arquiteturas de computadores, relacionando os conhecimentos de microarquitetura com as práticas de programação para alto desempenho.

OBJETIVO ESPECÍFICO

1. Relembrar os aspectos das arquiteturas de processadores pipeline.
2. Apresentar os principais conceitos de pipelines superescalares.
3. Introdução a execução fora de ordem para alto desempenho.
4. Analisar a parte inicial do processador para alto fluxo de instruções.
5. Verificar técnicas de execução em ordem e fora de ordem para processadores.
6. Resolver problemas de paradas utilizando predição de saltos.
7. Introduzir as técnicas de memórias cache para alta disponibilidade de dados.
8. Resolver faltas de dados através da pré-busca de dados.
9. Estudar em gerencia e modelos de memória para alta vazão de dados.
10. Avaliar as diversas interconexões intra-chip de baixa contenção.

PROCEDIMENTOS DIDÁTICOS

Os procedimentos didáticos serão feitos através de aulas expositivas colaborado com material de apoio e bibliografia. Também serão adotadas aulas em laboratório com modelagem de micro-arquiteturas.

FORMAS DE AVALIAÇÃO

Uma prova e dois trabalhos práticos.

BIBLIOGRAFIA BÁSICA (mínimo 03 títulos)

- [1] J.L. Hennessy e D. Patterson. Arquitetura de Computadores: Uma Abordagem Quantitativa. Elsevier Brasil, 2014. ISBN : 9788535264111.
- [2] J.L. Hennessy e D.A. Patterson. Organização e Projeto de Computadores: A Interface Hardware/Software. Elsevier Brasil, 2014. ISBN : 9788535264104.
- [3] J.P. Shen e M.H. Lipasti. Modern Processor Design: Fundamentals of Superscalar Processors. Waveland Press, 2013. ISBN : 9781478610762.

BIBLIOGRAFIA COMPLEMENTAR (mínimo 05 títulos)

- [4] M.J. Flynn. Computer Architecture: Pipelined and Parallel Processor Design. Jones e Bartlett, 1995. ISBN : 9780867202045.
- [5] David Harris e Sarah Harris. Digital design and computer architecture. Vol. 2. Morgan Kaufmann, 2013. ISBN : 9780123944245.
- [6] B. Jacob, S. Ng e D. Wang. Memory Systems: Cache, DRAM, Disk. Elsevier Science, 2010. ISBN : 9780080553849.
- [7] L. Null e J. Lobur. Princípios Básicos de Arquitetura e Organização de Computadores. Bookman, 2009. ISBN : 9788577807666.
- [8] Y.N. Patt e S.J. Patel. Introduction to Computing Systems: From Bits & Gates to C & Beyond. McGraw-Hill Education, 2003. ISBN : 9780072467505.
- [9] W. Stallings. Computer Organization and Architecture. Pearson Education, 2015. ISBN : 9780134102061.
- [10] J. Stokes. Inside the Machine: An Illustrated Introduction to Microprocessors and Computer Architecture. No Starch Press, 2007. ISBN: 9781593271046.

**OBS: ao assinalar a opção CH em EAD, indicar a carga horária que será à distância.*



Documento assinado eletronicamente por **MARCO ANTONIO ZANATA ALVES, PROFESSOR DO MAGISTERIO SUPERIOR**, em 22/10/2018, às 14:33, conforme art. 1º, III, "b", da Lei 11.419/2006.



A autenticidade do documento pode ser conferida [aqui](#) informando o código verificador **1325216** e o código CRC **D34D6AF7**.
